

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005 年 4 月 28 日 (28.04.2005)

PCT

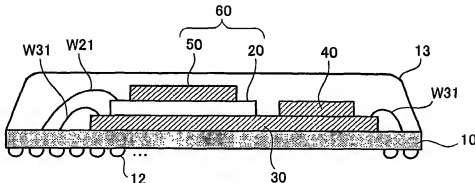
(10) 国際公開番号
WO 2005/038917 A1

- (51) 国際特許分類: H01L 25/06S, 25/07, 25/18 (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 中島 盛徳
(21) 国際出願番号: PCT/JP2003/016012 (NAKASHIMA, Moriyoshi) [JP/JP]; 〒660-0083 兵庫県
尼崎市 道意町 7 丁目 1 番 3 号 尼崎リサーチ・イン
(22) 国際出願日: 2003 年 12 月 15 日 (15.12.2003) キュベーションセンター 株式会社 GENUSION 内
Hyogo (JP). 小林 和男 (KOBAYASHI, Kazuo) [JP/JP];
(25) 国際出願の言語: 日本語 〒660-0083 兵庫県 尼崎市 道意町 7 丁目 1 番 3 号 尼
(26) 国際公開の言語: 日本語 崎リサーチ・インキュベーションセンター 株式会社
(30) 優先権データ: 特願 2003-359896 GENUSION 内 Hyogo (JP). 味香 夏夫 (AJIKA, Natsuo)
2003 年 10 月 20 日 (20.10.2003) JP [JP/JP]; 〒660-0083 兵庫県 尼崎市 道意町 7 丁目 1 番
(71) 出願人 (米国を除く全ての指定国について): 株式会社 3 号 尼崎リサーチ・インキュベーションセンター 株式会社 GENUSION 内 Hyogo (JP).
GENUSION (GENUSION INC.) [JP/JP]; 〒660-0083 兵
(74) 代理人: 小森 久夫, 外 (KOMORI, Hisao et al.); 〒
庫県 尼崎市 道意町 7 丁目 1 番 3 号 尼崎リサーチ・ 540-0011 大阪府 大阪市 中央区 農人橋 1 丁目 4 番
インキュベーションセンター Hyogo (JP). 3 4 号 Osaka (JP).

[続葉有]

(54) Title: PACKAGE STRUCTURE AND PACKAGING METHOD OF SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置のパッケージ構造およびパッケージ化方法



(57) Abstract: A semiconductor chip mount sub-substrate (60) is produced by wire bonding a semiconductor chip (50) and a sub-substrate (20) on the upper surface of the sub-substrate (20) provided with a terminal (21) for connection with the terminal (51) of the semiconductor chip (50) and a different terminal (22). A semiconductor chip (30) is mounted on the upper surface of a package substrate (10), the semiconductor chip mount sub-substrate (60) is bonded onto the semiconductor chip (30) and wire bonding is performed between the terminal (22) and a terminal (11'). When one packaged semiconductor device is produced by assembling a plurality of semiconductor chips, KGD (Known-Good-Die) of each semiconductor chip is guaranteed readily so that the semiconductor device can be produced with a high acceptance rate. Furthermore, position, pitch, signal arrangement, and the like, of each semiconductor chip can be utilized as they are with no restriction.

(57) 要約: 半導体チップ (50) の端子 (51) を接続する端子 (21) とそれとは別の端子 (22) を形成したサブ基板 (20) の上面に半導体チップ (50) とサブ基板 (20) との間をワイヤボンディングして半導体チップマウントサブ基板 (60) を構成する。パッケージ基板 (10) の上面には半導体チップ (30) をマウントし、半導体チップマウントサブ基板 (60) を半導体チップ (30) の上面に接続し、端子 (22) と端子 (11') との間をワイヤボンディングする。このようにして、複数の半導体チップを組み込んで 1 つのパッケージ化された半導体装置を構成する際に、各半導体チップの KGD (Known-Good-Die) を容易に保証できるようにし、高い良品率の下で半導体装置を製造可能とする。また、各半導体チップの端子の位置、ピッチ、信号配列などを制約することなくそのまま利用可能とする。



(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (広域): ARIPO 特許 (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ

特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各 *PCT* ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。